

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-143404

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

G11B 20/14

(21)Application number : 11-321212

(71)Applicant : ROHM CO LTD

(22)Date of filing : 11.11.1999

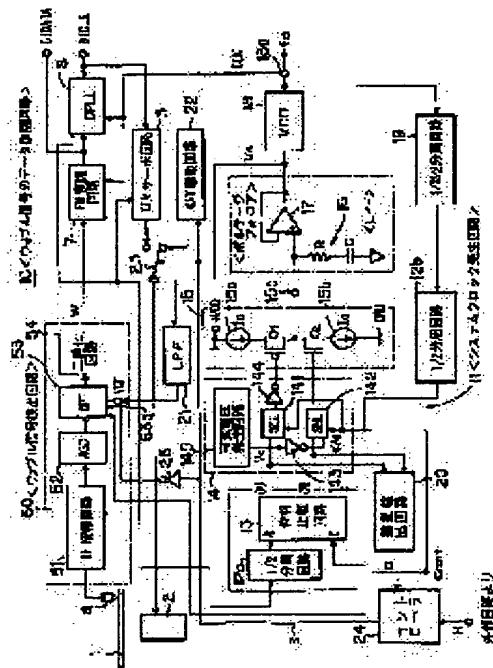
(72)Inventor : OKADA ISAO
HIRAFUKI HITOSHI

(54) DATA DEMODULATING CIRCUIT FOR WOBBLE SIGNAL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data demodulating circuit for a wobble signal, which is short in the time from its start to data demodulation and can reproduce data of the wobble signal at CAV (constant rotational velocity).

SOLUTION: The band of a band-pass filter for a wobble detecting circuit is controlled matching variation in the frequency of the wobble signal detected by the constant-speed rotation of an optical disk according to a control voltage which controls the oscillation frequency of a VCO and then a clock generating circuit generates a clock of frequency following the wobble signal.



LEGAL STATUS

[Date of request for examination] 14.06.2000

[Date of sending the examiner's decision of rejection] 10.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-143404
(P2001-143404A)

(43)公開日 平成13年5月25日(2001.5.25)

(51) Int.Cl.⁷

識別記号
351

F I
G 1 1 B 20/14

テ-マコ-ト(参考)

審査請求 有 請求項の数 3 O.L. (全 8 頁)

(22)出願日 平成11年11月11日(1999.11.11)

(71) 出願人 000116024
口一ム株式会社
京都府京都市右京区西院溝崎町21番地

(72) 発明者 岡田 功
京都市右京区西院溝崎町21番地口一ム株式
会社内

(72) 発明者 平吹 肇
京都市右京区西院溝崎町21番地口一ム株式
会社内

(74) 代理人 100079555
弁理士 梶山 信是 (外1名)

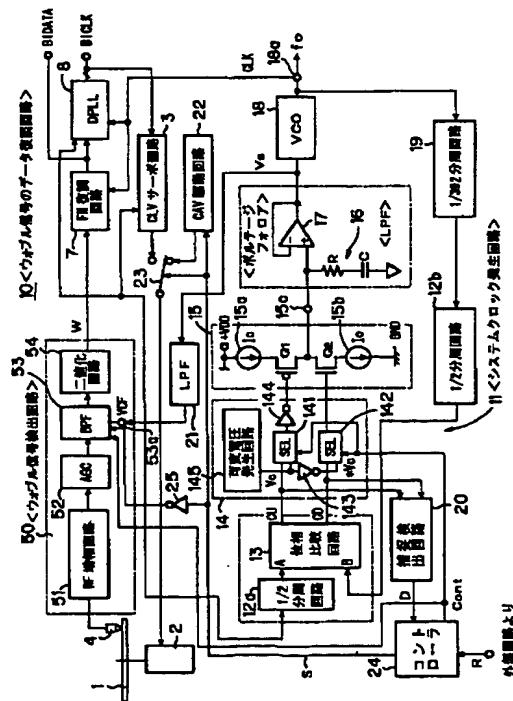
F ターム(参考) 5D044 BC05 GM03 GM14 GM32

(54) 【発明の名称】 ウオブル信号のデータ復調回路

(57) 【要約】

【課題】起動からデータ復調までの時間が短く、CAV（一定回転速度）でウォブル信号のデータ再生ができるウォブル信号のデータ復調回路を提供することにある。

【解決手段】VCOの発振周波数を制御する制御電圧に応じてウォブル信号検出回路のバンドパスフィルタの帯域を光ディスクの定速回転で検出されるウォブル信号の周波数の変化に適合するように制御することで、クロック発生回路においてウォブル信号に追従する周波数のクロックを発生させるものである。



【特許請求の範囲】

【請求項1】スピンドルに装着された光ディスクを線速度一定で回転させたときの前記光ディスクから読み出されるウォブル信号の周波数に対して帯域幅が広帯域と狭帯域に切換でき、制御信号に応じて狭帯域の中心周波数を変化させることができるバンドパスフィルタと、

このバンドパスフィルタを有しこれを介して前記ウォブル信号を光ディスクから検出するウォブル信号検出回路と、

このウォブル信号検出回路から前記ウォブル信号を受けてPLLループにより制御電圧を発生させこれによりVCOの発振周波数を制御することで前記ウォブル信号に追従する周波数のクロックを発生するクロック発生回路と、

前記光ディスクを一定回転速度で回転させる駆動回路と、

起動時において前記バンドパスフィルタを広帯域に設定して前記駆動回路により前記光ディスクを回転駆動し、前記VCOの発振信号あるいはこれの分周信号と前記ウォブル信号あるいはこれの分周信号とがPLLループ制御が可能な状態にあることを検出して前記バンドパスフィルタを狭帯域に設定し前記クロック発生回路をPLLループ制御において動作させる制御回路とを備え、前記PLLループ制御における前記制御電圧に応じて前記バンドパスフィルタの中心周波数を前記ウォブル信号の周波数に適合させるように制御することを特徴とするウォブル信号のデータ復調回路。

【請求項2】前記クロック発生回路は、前記ウォブル信号の分周信号と前記VCOの発振信号の分周信号とを比較する位相比較回路と、この位相比較回路の比較結果に応じて充放電動作をするチャージポンプ回路と、このチャージポンプ回路の出力を平滑する積分回路あるいはローパスフィルタと、この積分回路あるいはローパスフィルタの出力を受けて前記制御電圧を発生するボルテージフォロアとを有し、前記制御回路は、前記起動時において前記制御電圧を漸次上昇させて前記VCOを発振させて前記PLLループ制御が可能な状態にあることを検出する請求項1記載のウォブル信号のデータ復調回路。

【請求項3】さらに、前記位相比較回路の2つの入力信号がキャプチャレンジに入ったか否かを検出する捕捉検出回路を有し、前記制御回路は、この捕捉検出回路の検出信号を受けて前記クロック発生回路がPLLループ制御が可能な状態にあることを検出する請求項2記載のウォブル信号のデータ復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ウォブル信号のデータ復調回路に関し、詳しくは、起動からデータ復調までの時間が短く、CAV(一定回転速度)でウォブル信号のデータ再生ができるウォブル信号のデータ復調回

路に関する。

【0002】

【従来の技術】最近のCD-R/RWでは、データの書き込み速度が2倍、4倍、8倍、…とその速度が高速化されてきている。このCD-R/RWでは、通常、ホストコンピュータからSCSIやATPIなどのインターフェースを通して転送された書き込みデータがEM変調されてレーザコントローラに加えられ、レーザコントローラにより書き用に制御されたレーザ光がEM変調されたデータによってON/OFFされてCDの所定のトラックに照射され、それによりデータの書き込みが行われる。このようなCD-R/RWのほか、CD-R、DVD-RAM等の光ディスクにあっては、グループ(溝)を蛇行させて形成することにより、回転制御のための同期情報やアドレス情報(絶対時間情報)をウォブル信号として記録している。

【0003】ウォブル信号は、バイフェーズコードの変調信号B1DATAでFSK変調された信号であり、ディスク回転が規定の線速度のときにウォブル周波数fWB1が $22.05 \pm 1\text{ kHz}$ (1倍速再生のとき)になる。ウォブル信号からデータ再生される絶対時間情報を含むATIP(アブソリュート・タイム・イン・ブリグループ)信号は、B1DATAとして同期信号と、アドレスデータ(絶対時間データ)、誤り検出符号CRCにより構成され、通常、42ビットを単位としている。そして、同期信号の繰り返し周波数としては75Hzである。光ディスクにウォブル信号として記録されたこのようなデータを再生するには、ウォブル信号のデータを復調する復調回路が必要になる。この種の復調回路を使用した光ディスク装置として特開平9-297969号「光ディスク装置」、特開平11-16291号「光ディスク装置の復調回路」等を挙げることができる。

【0004】光ディスクからのウォブル信号の検出は、CLV(線速度一定)制御で行われる。図2は、その従来のブロック図であり、光ディスク1がスピンドルモータ2の回転軸に装着され、CLVサーボ回路3により駆動されて回転する。光ディスク1からのウォブル信号の検出は、2分割あるいは4分割フォトセンサを有するピックアップ4を介して行われ、ウォブル信号検出回路5がピックアップ4からの信号を受けてウォブル信号Wを検出し、検出されたウォブル信号Wがシステムクロック発生回路6とFM復調回路7に供給される。システムクロック発生回路6においてウォブル信号Wに応じて発生したシステムクロックCLKがFM復調回路7とデジタルPLL(DPLL)8に入力される。FM復調回路7は、ウォブル信号Wからバイデータ(B1DATA、バイフェーズコードのデータ)を復調し、それを外部に出力するとともにDPLL8に入力する。その結果、DPLL8からバイクロック(BCLK、バイフェーズコードのクロック)が出力され、それを外部に出力する

とともにCLVサーボ回路3に入力する。なお、復調されたB I D A T AとB I C L Kとは、光ディスク1上のピックアップ4の位置を検出するデータとなる。

【0005】

【発明が解決しようとする課題】図2に示すような復調回路にあっては、CLV制御でウォブル信号を読出すことになるので、検出されたウォブル信号Wと復調されたバイクロック(B I C L K)とを利用してCLVサーボ回路3がディスクが規定回転数付近になるまでCLV制御を継続しなければならない。のために、光ディスク1に対して起動から長いアクセス時間が必要となり、また、スピンドルモータ2の急加速や、急減速制御が必要になる。のために、発熱が多くなり、防塵構造のドライブ内の温度が上昇してドライブやディスクの信頼性を低下させる問題がある。この発明の目的は、このような従来技術の問題点を解決するものであって、起動からデータ復調までの時間が短く、CAV(一定回転速度)でウォブル信号のデータ再生ができるウォブル信号のデータ復調回路を提供することにある。

【0006】

【課題を解決するための手段】このような目的を達成するこの発明のウォブル信号Wのデータ復調回路の特徴は、スピンドルに装着された光ディスクを線速度一定で回転させたときの光ディスクから読み出されるウォブル信号の周波数に対して帯域幅が広帯域と狭帯域に切換でき、制御信号に応じて狭帯域の中心周波数を変化させることができるバンドパスフィルタと、このバンドパスフィルタを有しこれを介してウォブル信号を光ディスクから検出するウォブル信号検出回路と、このウォブル信号検出回路からウォブル信号を受けてPLLループにより制御電圧を発生させこれによりVCOの発振周波数を制御することでウォブル信号に追従する周波数のクロックを発生するクロック発生回路と、光ディスクを一定回転速度で回転させる駆動回路と、起動時においてバンドパスフィルタを広帯域に設定して駆動回路により光ディスクを回転駆動し、VCOの発振信号あるいはこれの分周信号とウォブル信号あるいはこれの分周信号とがPLLループ制御が可能な状態にあることを検出してバンドパスフィルタを狭帯域に設定しクロック発生回路をPLLループ制御において動作させる制御回路とを備えていて、PLLループ制御における制御電圧に応じてバンドパスフィルタの中心周波数をウォブル信号の周波数に適合させるように制御するものである。

【0007】

【発明の実施の形態】このように、VCOの発振周波数を制御する制御電圧に応じてウォブル信号検出回路のバンドパスフィルタの帯域を光ディスクの定速回転で検出されるウォブル信号の周波数の変化に適合するように制御することで、クロック発生回路においてウォブル信号に追従する周波数のクロックを発生させることができ

る。これにより、光ディスクを定速回転させてもウォブル信号に追従する周波数のクロックをFM復調回路、そしてデジタルPLLに入力することができ、光ディスクを定速回転させて、ウォブル信号WからB I D A T AとB I C L Kを起動から早期に復調することが可能になり、ピックアップの光ディスク上の現在のシーク位置が早期に得られ、しかも、シークはピックアップの移動だけで済む。その結果、光ディスクに対して起動から定速回転までのアクセス時間を低減でき、スピンドルモータの急加速や、急減速制御が不要になるので、発熱を低減することができる。なお、クロック発生回路から記録信号を発生するエンコーダにクロックを供給すれば、記録信号のパルス幅がリニアに変化する記録信号を容易に得ることもできる。

【0008】

【実施例】図1は、この発明のウォブル信号のデータ復調回路を適用した一実施例のブロック図である。なお、図2と同等の構成要素は、図2と同一符号で示し、その説明を割愛する。図1において、10は、ウォブル信号のデータ復調回路であって、ウォブル信号検出回路50からウォブル信号Wを受けるPLLシステムクロック発生回路11と、ローパスフィルタ(LPF)21、定速回転駆動回路(CAV駆動回路)22、切換回路23、そしてコントローラ24とを有している。ウォブル信号検出回路50は、ピックアップ4からの検出信号を受けてそれを高周波増幅するRF増幅回路51と、RF増幅回路51で増幅された信号を受けるAGC回路(AGC)52、そしてウォブル周波数f_{WBL}を通過させるVCF(電圧制御によるフィルタ周波数可変)のバンドパスフィルタ(BPF)53、バンドパスフィルタ(BPF)53の出力を受けて、コンパレータによち閾値と比較して二値化する二値化回路54から構成され、二値化回路54から、検出されたウォブル信号Wが送出され、それがPLLシステムクロック発生回路11と、FM復調回路7、そしてデジタルPLL(DPLL)8とに送出される。

【0009】バンドパスフィルタ(BPF)53は、制御端子53aに制御電圧Vsを受けて、その中心周波数がウォブル周波数f_{WBL}の22.05±1kHzを中心として前後に変化する狭帯域のフィルタである。具体的には、VDD/2を中心として制御電圧Vsが電源電圧+VDDの半分のVDD/2からの上昇に応じて中心周波数が22.05±1kHzより上昇し、制御電圧VsがVDD/2からの下降に応じて中心周波数が22.05±1kHzより下降する。この場合の制御電圧Vsは、PLLシステムクロック発生回路11からLPF21を介して供給される。なお、後述するようにデータ復調回路10の起動初期にいおいては、制御信号Cont "H"を受け、これを受けているときには制御電圧Vsが無効となる。そして、このとき、BPF53は、ウォブル周波

数 f_{WBL} が $22.05 \pm 1 \text{ kHz}$ を中心周波数とする広帯域バンドパスフィルタに切換えられる。また、再生時等において、切換信号 S が “L” となっているときに、これの反転信号がインバータ 25 を介して VCO の BP F 53 に加えられ、中心周波数が $22.05 \pm 1 \text{ kHz}$ の狭帯域に固定される。

【0010】PLL システムクロック発生回路 11 は、 $1/2$ 分周回路 12a、位相比較回路 13、充放電制御切換回路 14、チャージポンプ回路 15、ローパスフィルタ (LPF) 16、ボルテージフォロア 17、電圧制御発振回路 (VCO) 18、 $1/392$ 分周回路 19、 $1/2$ 分周回路 12b、そして捕捉検出回路 20 とから構成されている。この PLL システムクロック発生回路 11 により発生したシステムクロック CLK は、図 2 と同様に、FM 復調回路 7 ちデジタル PLL (DPLL) 7 とに入力される。CAV 駆動回路 22 は、データ記録時において外部回路からコントローラ 24 に供給される光ディスク起動信号 R に応じてコントローラ 24 により出力される選択信号 S が “H” になることで起動されてスピンドルモータ 2 を一定回転になるように駆動する。以下では、一定の回転速度を規定速度、すなわち、1 倍速としてこの場合について説明する。この場合には、光ディスク 1 のトラックの中央部において、ウォブル周波数 f_{WBL} が $22.05 \pm 1 \text{ kHz}$ になるものであって、光ディスク 1 の中央部トラックより中心側では、ウォブル周波数 f_{WBL} が $22.05 \pm 1 \text{ kHz}$ よりも低い周波数となり、中央部トラックより外周側では、ウォブル周波数 f_{WBL} が $22.05 \pm 1 \text{ kHz}$ よりも高い周波数となる。ウォブル周波数 f_{WBL} の周波数の変化する範囲は、例えば、 $17 \text{ kHz} \sim 28 \text{ kHz}$ 程度である。なお、以下では、説明の都合上、1 倍速の場合で説明するが、データの書き込み速度が 2 倍、4 倍、8 倍、…となるときにはそれぞれウォブル周波数 f_{WBL} は、 $22.05 \pm 1 \text{ kHz} \times$ それぞれの倍数になる。

【0011】ところで、データ記録時においては、切換回路 23 により CAV 駆動回路 22 の出力側を選択する接続切換がコントローラ 24 からの切換信号 S が “H” になることで行われる。また、通常は、切換信号 S が “L” となっていて、再生時として切換回路 23 により CLV サポート回路 3 の出力側を選択する側に設定され、図 2 のようにウォブル信号 W と復調されたバイクロック (BCLK) とを利用して光ディスク 1 が規定回転数付近になるまで CLV 制御が継続されている。

【0012】PLL システムクロック発生回路 11 の $1/2$ 分周回路 12a は、ウォブル信号検出回路 50 からウォブル信号 W を受けて、それを $1/2$ 分周して位相比較回路 13 の入力端子 A に入力する。一方、位相比較回路 13 の入力端子 B には、VCO 18 の出力が $1/392$ 分周回路 19 と $1/2$ 分周回路 12b を経て 784 分周されて入力される。そして、ここで、これら入力信号

A、B の信号が位相比較される。VCO 18 の出力を $1/392$ 分周する理由は、CD のサンプリング周波数が 4.3218 MHz であり、チャンネルクロック周波数がその 2 倍の周波数 $2 \times 4.3218 \text{ MHz}$ となり、 $4.3218 \text{ MHz} \times 2 / 392$ でウォブル周波数 f_{WBL} の 22.05 が求められるからである。

【0013】位相比較回路 13 は、位相比較として、入力端子 A の入力パルスの立ち上がりから入力端子 B の入力パルスの立ち上がりまでの位相差に対応する期間

“H” となるチャージアップ信号 CU を充放電制御切換回路 14 とその反転バッファアンプ 144 を介してチャージポンプ 15 に送出する。また、位相比較回路 13 は、位相比較として、入力端子 B の入力パルスの立ち上がりから入力端子 A の入力パルスの立ち上がりまでの位相差に対応する期間 “H” となるチャージダウン信号 CD を充放電制御切換回路 14 を介してチャージポンプ 15 に送出する。充放電制御切換回路 14 は、2 つのセレクタ 141、142 と、反転バッファアンプ 143、144、そして可変電圧発生回路 145 とからなる。2 つのセレクタ 141、142 は、それぞれ可変電圧発生回路 145 の電圧 V_c 、電圧 * V_c (電圧 * V_c は、電圧 V_c を受ける反転バッファアンプ 143 により電圧 VDD / 2 を基準としてこれより - V_c 低い反転出力の電圧信号である。) と位相比較回路 13 の出力信号である CU および CD のいずれかを選択するものであり、その切換選択は、コントローラ 24 からの制御信号 Cont に応じて行われる。

【0014】すなわち、コントローラ 24 は、データ復調回路 10 の起動時において、制御信号 Cont を “H” とする。この制御信号 Cont が “H” のときにはセレクタ 141 が可変電圧発生回路 145 の電圧 V_c 、* V_c を選択する。一方、制御信号 Cont が “L” のときには、チャージアップ信号 CU およびチャージダウン信号 CD の信号が選択され、この場合には通常の PLL ループ制御状態になる。なお、コントローラ 24 は、捕捉検出回路 20 の検出信号 D を受けて制御信号 Cont を “L” へと落とす。これら電圧 V_c 、* V_c あるいはチャージアップ信号 CU とチャージダウン信号 CD とを受けるチャージポンプ 15 は、電源ライン + VDD に接続された吐出し電流値 I_o の定電流源 15a と、この定電流源 15a からの電流をソース側に受ける P チャンネルの MOS トランジスタ Q1、そしてその下流に接続された N チャンネルの MOS トランジスタ Q2、さらにその下流に設けられたグランドライン GND に接続されたシンク電流値 I_o の定電流源 15b とからなる。そして、トランジスタ Q1、Q2 のドレインが共通に出力端子 15c に接続され、その出力は、ボルテージフォロア 16 の + 入力に入力される。そこで、チャージアップ信号 CU は、電流吐き出し側の P チャンネルの MOS トランジスタ Q1 を ON にする。このとき電流シンク側の N チャンネル

のMOSトランジスタQ2はチャージダウン信号CDが“L”となってOFFになる。また、チャージダウン信号CDは、電流シンク側のMOSトランジスタQ2をONにする。このときMOSトランジスタQ1はチャージアップ信号が“L”となってOFFになる。

【0015】一方、電圧Vc, *Vcについては、その説明を簡単にするために、電圧Vcを“H”の電圧とし、反転バッファアンプ143, 144をインバータとして説明すると、セレクタ141に“H”が入力されて、それが反転バッファアンプ144により“L”が出力される。その結果、“L”が出力されチャージポンプ15にチャージアップ信号CUとして出力される。また、セレクタ142には反転バッファアンプ143によって“H”が反転されて“L”が入力され、セレクタ142から“L”が出力され、チャージダウン信号CDが出力されなくなる。その結果、電流吐き出し側のトランジスタQ1がONのままとなり、電流シンク側のトランジスタQ2がOFFのままとなる。チャージポンプ15の出力を受けるLPF16は、抵抗RとコンデンサCとの直列回路からなり、チャージポンプ15の出力端子15cとバイアスラインVbとの間に接続された、いわゆる積分回路である。そこで、前記の電圧Vc, *Vcの場合には、出力端子15cの電圧が漸次上昇するランプ電圧となる。なお、電圧Vcが“H”よりも低いレベルに設定されている場合については後述する。

【0016】チャージアップ信号CU, チャージダウン信号CDに応じたチャージポンプ15の電流吐き出し、シンクの出力信号は、出力端子15cとバイアスラインVbとの間に挿入された抵抗RとコンデンサCの直列回路からなるこのLPF16（あるいは積分回路）に加えられる。ここで平滑化された電圧がボルテージフォロア17に入力される。そして、ボルテージフォロア17の電圧出力は、制御電圧VsとしてVCO18とLPF21とに供給される。これによりVCO18は、位相比較回路13の入力端子A, Bの2つの入力パルスが位相比較が可能な周波数範囲において、ウォブル信号Wに追従する発振出力信号f0を得るPLLループ制御状態になる。また、入力端子A, Bの2つの入力パルスがPLL制御可能なキャプチャレンジの周波数に入っていないときには、位相比較回路13の出力によることなく、コントローラ24からの制御信号Cont “H”に応じて順次上昇するランプ電圧を出力端子15cに発生させてこれを制御電圧Vsとし、VCO18の発振出力信号の周波数を上昇させていく。

【0017】そこで、入力端子A, Bの2つの入力パルスがPLL制御可能なキャプチャレンジ（入力信号の周波数にVCOの自走周波数が捕捉される範囲、ロックレンジよりも小さい範囲）に入っていないときには、コントローラ24からの制御信号Cont “H”出力により可変電圧発生回路145の電圧Vc, *Vc側が選択され

て、VCO18の発振出力信号の周波数が漸次上昇とともに、このVCO18の発振周波数の784分周（=392×2分周）したものとウォブル信号Wの1/2分周した信号が位相比較される。その結果としてやがてPLL制御可能な範囲、すなわち、入力端子A, Bの2つの入力パルスがキャプチャレンジ（入力信号の周波数にVCOの自走周波数が捕捉される範囲の周波数）に入る。この周波数範囲に入ると、捕捉検出回路20がそれを検出してその検出信号Dがコントローラ24に入力されて、制御信号Contが“H”から“L”に落ちる。これにより位相比較回路13の出力であるチャージアップ信号CU, チャージダウン信号CD側が選択されてチャージポンプ15に出力され、PLLループ制御状態になる。

【0018】LPF21に入力されたVCO18の制御電圧Vsは、さらに平滑化されてウォブル周波数fWBLを通過させるVCFのBPF53に加えられる。VCFのBPF53は、起動初期の状態においては、制御信号Cont “H”を受ける。これにより、VCFのBPF53は、ウォブル周波数fWBLを中心とした広帯域のフィルタとなる。一方、制御信号Cont “L”となりPLLループ制御状態に入つてVDD/2の電圧を受けているときには、ウォブル周波数fWBLに一致する狭帯域のフィルタとなる。そして、VDD/2の電圧よりも高い電圧になったときには、その中心周波数はfWBLよりも高い方に移行し、VDD/2の電圧よりも低い電圧になったときには、その中心周波数はfWBLよりも低い方に移行する。これの通過周波数の変化範囲は、先のウォブル周波数fWBLの周波数の変化範囲である17kHz～28kHzに対応するものである。なお、LPF21は、制御電圧Vsの電圧に応じてVCFのBPF53の制御電圧を発生する制御電圧発生回路あるいは制御電圧変換回路であってもよい。

【0019】ところで、VCO18は、ここでは、1倍速の例で説明しているので説明の都合上、4.3218MHzを中心発振周波数として4MHz～6MHzの範囲で発振する回路であるが、実際には、4倍、8倍、…としてその発振周波数が選択されるものであり、これら倍数をカバーするものとして、20MHz～100MHz程度の範囲で発振周波数が制御される発振器であればよい。その発振出力f0は、出力端子18aを介してシステムクロックCLKとしてFM復調回路7とデジタルPLL(DPLL)7とに入力される。また、VCO18の発振出力f0は、1/392分周回路19と1/2分周回路12bを経て位相比較回路13の入力端子Bに入力され、これとウォブル信号Wのそれぞれ1/2分周された信号が位相比較回路13で位相比較される。ただし、入力端子A, Bの2つの入力パルスがキャプチャレンジに入っていない起動初期の状態のときには、位相比較結果は無効である。

【0020】これにより、光ディスク1が定速回転しているときで、光ディスク1の中央部よりも内側のトラックをピックアップ4がトレースしているときには、VcFのBPF53は、正規の周波数 $22.05 \pm 1\text{ kHz}$ よりも低いウォブル周波数f_WBLを通過させ、これに追従してVCO18がPLL制御において発振してシステムクロックCLKを出力端子18aに出力する。そして、光ディスク1の中央部のトラックをピックアップ4がトレースしているときには、正規の周波数 $22.05 \pm 1\text{ kHz}$ を通過させ、光ディスク1の中央部よりも外周側のトラックをピックアップ4がトレースしているときには、正規の周波数よりも高いウォブル周波数f_WBLを通過させて、それに応じて追従してVCO18がPLL制御において発振してトレース位置に応じた周波数のシステムクロックCLKを出力端子18aに出力する。

【0021】ここで、全体的な動作を説明すると、ウォブル信号のデータ復調回路10が起動された時点で、データ記録時においては、コントローラ24は、切換信号Sを“H”にして発生させて、切換回路23によりCAV駆動回路22の出力側を選択する接続切換を行い、さらに充放電制御切換回路14へ制御信号Cont “H”を出力して捕捉検出回路20の検出信号Dを受けて制御信号Contを“L”とする。起動時で制御信号Contが“H”になっているときには、トランジスタQ1はONとなり、トランジスタQ2がOFFとなって、LPF16のコンデンサCが定電流源15aの定電流値I0で充電されて出力端子15cの電圧がランプ電圧で上昇していく。これに応じてVCO18の発振周波数f0も上昇していく。やがてVCO18は、現在のウォブル信号Wの周波数に対してPLLループ制御可能な発振周波数の範囲（キャプチャレンジ）に入る。ここで、捕捉検出回路20から検出信号Dが発生し、これをコントローラ24が受けて制御信号Contが“L”となり、位相比較回路13の位相比較結果がチャージポンプ15に入力される切換がセレクタ142, 144により行われる。その後、制御電圧Vsは、位相比較回路13の位相比較結果に応じて発生するチャージアップ信号CUとチャージダウン信号CDにより制御される。その結果、制御VCO18の発振周波数f0がやがてウォブル信号Wの位相にロックされる。以降、ウォブル信号Wの周波数に追従してVCO18の発振周波数f0がそれにロックされた形で変化していく。

【0022】ここで、可変電圧発生回路145の電圧Vcが“H”よりも低いレベルに設定されている場合について説明すると、反転バッファアンプ143, 144は、前記のような“H”, “L”を発生するインバータではなく、電圧VDD/2を基準とする反転アンプとして動作する。制御信号Contが“H”になっているときには、これらがチャージアップ信号CUとチャージダウン信号CDに変わってチャージポンプ15に電圧Vc,

* Vcをそれぞれ出力する。電圧Vcが“H”的ときにはトランジスタQ1をON、トランジスタQ2をOFFにするが、“H”より低いときには、トランジスタQ1は、完全にONにはならず、トランジスタQ2は完全にOFFにはならない。そこで、トランジスタQ1の吐き出し電流値とトランジスタQ2のシンク電流値との差の電流値（電流値I0よりも小さい値）でLPF16のコンデンサCが充電されることになり出力端子15cの電圧は、前記のランプ電圧の傾斜がよりなだらかになる。その結果、出力端子15cに発生するランプ電圧の傾斜が緩やかになり、VCO18の発振周波数f0も上昇もなだらかになる。これにより、PLLシステムクロック発生回路11は、より確実にPLLループ制御可能な発振周波数の範囲（キャプチャレンジ）に入ることができる。

【0023】ところで、コントローラ24は、キャッチアップとしてあらかじめ決められた一定期間の間に捕捉検出回路20から検出信号Dを受けないとときには捕捉検出失敗として制御信号Contを再び“H”を出力してPLLシステムクロック発生回路11を再起動することができる。また、記録信号を発生するエンコーダ（図示せず）に、システムクロック発生回路11からのシステムクロックCLKを供給すれば、記録信号のパルス幅がリニアに変化する記録信号を容易に得ることができる。

【0024】一方、データ記録時以外の起動状態では、例えば、再生時においては、コントローラ24は、切換制御信号Sを“L”にする。そこで、切換回路23は、CLVサーボ回路3の出力側を選択する側になり、PLLシステムクロック発生回路11のシステムクロックCLKと復調されたバイクロック（BICLK）とを利用して光ディスク1が規定回転数付近になるまでCLV制御が行われる。このとき、切換信号Sの反転信号がインバータ25を介してVCFのBPF53に加えられて狭帯域の中心周波数が $22.05 \pm 1\text{ kHz}$ に固定される。なお、このときにはBPF53にVDD/2の電圧をBPF53に加えてもよい。その結果、ウォブル信号検出回路50からは $22.05 \pm 1\text{ kHz}$ でウォブル信号Wが検出され、PLLシステムクロック発生回路11のVCO18は、ウォブル信号Wに向かって上昇してやがてキャプチャレンジに入り、正規の周波数 $22.05 \pm 1\text{ kHz} \times 2 \times 392$ で発振してロック状態になる。このとき、PLLシステムクロック発生回路11のシステムクロックCLKは、4.3218MHzとなる。以上は1倍速の場合である。

【0025】以上説明したきたが、実施例では、捕捉検出回路を設けてPLLループ制御が可能な状態を検出してPLLループ制御に入るようによっているが、捕捉検出回路によることなく、VCO18がキャプチャレンジの周波数に入る発振をするタイミングでPLLループ状態になるように切り換えてよい。この場合には、起動か

らVCO 18がキャプチャレンジの周波数に入るまでの一定期間だけ制御信号Cont "H"を出力するタイマ回路を設ければよい。また、捕捉検出回路は、位相比較回路13を位相周波数比較回路として、周波数比較結果を受けてキャプチャレンジに入ったか否かを検出する回路とすることができる。また、実施例では、VCOの周波数がキャプチャレンジに入るよう制御するために、チャージアップ側のトランジスタQ1をON、チャージダウン側のトランジスタQ2をOFFにしてVCO 18の発振制御電圧をランプ電圧にしてその発振周波数 f_0 を漸次上昇させているが、チャージアップ側のトランジスタQ1をON、チャージダウン側のトランジスタQ2をOFFとして、その後に、逆にチャージアップ側のトランジスタQ1をOFF、チャージダウン側のトランジスタQ2をONにする制御信号コントローラ24によりを発生して制御電圧Vsを三角波信号の電圧になるようにしてもよい。これらによりVCOの周波数がキャプチャレンジの周波数に入るようになることができる。

【0026】実施例では、1倍速の例で説明しているが、この発明は、データの書き込み速度が2倍、4倍、8倍、…n倍とその速度が高速化されてきた場合も適用できることはもちろんである。そのような場合には、先のVCO 18の発振周波数 f_0 、ウォブル信号検出回路の帯域フィルタの狭帯域における中心周波数の設定と変化範囲、そして発生するシステムクロックCLKは、それぞれ2倍、4倍、8倍、…n倍になる。また、実施例では、捕捉検出回路の検出信号をコントローラに入力してコントローラの制御によりPLLループ制御状態に移行する切換えを行っているが、この切換えは、捕捉検出回路の検出信号Dそのもので行うようにすることができる。実施例では、ウォブル信号のデータ復調回路でのウォブル信号の再生をCLVサーボ回路によりCLV制御で行っているが、これは、CAV制御で行うこともできるので、再生側の技術条件と構成要素は、この発明には直接関係するものではない。

【0027】

【発明の効果】以上説明してきたが、この発明にあって

は、VCOの発振周波数を制御する制御電圧に応じてウォブル信号検出回路のバンドパスフィルタの帯域を光ディスクの定速回転で検出されるウォブル信号の周波数の変化に適合するように制御することで、クロック発生回路においてウォブル信号に追従する周波数のクロックを発生させることができる。これにより、光ディスクを定速回転させてもウォブル信号に追従する周波数のクロックをFM復調回路、そしてデジタルPLLに入力することができ、光ディスクを定速回転させて、ウォブル信号WからBIDATAとBICLKを起動から早期に復調することが可能になり、ピックアップの光ディスク上の現在のシーク位置が早期に得られ、しかも、シークはピックアップの移動だけで済む。その結果、光ディスクに對して起動から定速回転までのアクセス時間を低減でき、スピンドルモータの急加速や、急減速制御が不要になるので、発熱を低減することができる。

【図面の簡単な説明】

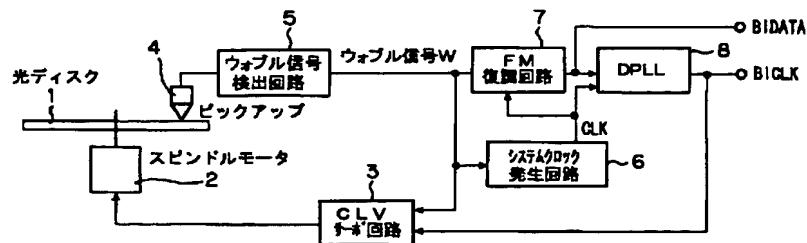
【図1】図1は、この発明のウォブル信号のデータ復調回路を適用した一実施例のブロック図である。

【図2】図2は、従来のウォブル信号のデータ復調回路のブロック図である。

【符号の説明】

1…光ディスク、2…スピンドルモータ、3…CLVサーボ回路、4…ピックアップ、5…ウォブル信号検出回路、6…FM復調回路、7…デジタルPLL(DPLL)、10…ウォブル信号のデータ復調回路、11…PLLシステムクロック発生回路、12a、12b…1/2分周回路、13…位相比較回路、14…充放電制御切換回路、15…チャージポンプ回路、16…ローパスフィルタ(LPF)、17…ボルテージフォロア、18…電圧制御発振回路(VCO)、19…1/392分周回路、20…捕捉検出回路、21…ローパスフィルタ(LPF)、22…定速回転駆動回路(CAV駆動回路)、23…切換回路、24…コントローラ、50…ウォブル信号検出回路、51…RF増幅回路、52…AGC回路、53…バンドパスフィルタ(BPF)、54…二值化回路。

【図2】



[図 1]

